

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **03-034577**

(43)Date of publication of application : **14.02.1991**

(51)Int.Cl. **H01L 29/788**
G11C 16/02
G11C 16/04
H01L 29/792

(21)Application number : **01-169544** (71)Applicant : **TOSHIBA CORP**

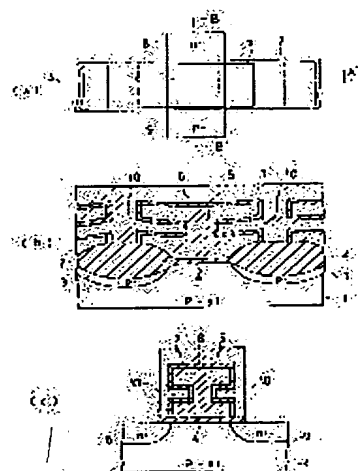
(22)Date of filing : **30.06.1989** (72)Inventor : **ENDO TETSUO**
INOUE SATOSHI

(54) NONVOLATILE SEMICONDUCTOR STORAGE DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To enlarge the coupling capacity between a floating gate and a control gate so as to realize high integration by providing a trench at the side face of the floating gate, and forming a second gate insulating film at the inner face of the trench as well as the side face, and arranging a control gate in opposition to the topside, the side face, and the trench inner face of the floating gate.

CONSTITUTION: A floating gate 5 is processed in fin shape, with a trench 10 cut at the whole periphery of the side face. A second gate insulating film 6 is formed all over the topside and the side face of the floating gate 5 and the inner face of the trench 10. A control gate 7 is so formed as to not only oppose the topside of this floating gate 5 but also oppose the side face and the inner face of the trench 10 formed here. N⁺-type diffusion layers 8 and 9 to become a drain and a source are formed in a substrate with these gate regions in between. The floating gates 5 are independent with every memory cell, and the control gates 7 are



arranged continuously in common to memory cells usually in one direction thereby constituting a word line.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision
of rejection or application
converted registration]

[Date of final disposal for
application]

[Patent number]

[Date of registration]

[Number of appeal against
examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-34577

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)2月14日

H 01 L 29/788

G 11 C 16/02

16/04

H 01 L 29/792

7514-5F H 01 L 29/78

3 7 1

7131-5B G 11 C 17/00

3 0 7 D

審査請求 未請求 請求項の数 5 (全11頁)

⑭ 発明の名称 不揮発性半導体記憶装置およびその製造方法

⑰ 特 願 平1-169544

⑱ 出 願 平1(1989)6月30日

⑲ 発 明 者 遠 藤 哲 郎 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑲ 発 明 者 井 上 聡 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑳ 出 願 人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁理士 鈴江 武彦 外3名

明 細 書

1. 発明の名称

不揮発性半導体記憶装置およびその製造方法

2. 特許請求の範囲

(1) 半導体基板上に第1ゲート絶縁膜を介して浮遊ゲートが形成され、この浮遊ゲート上に第2ゲート絶縁膜を介して制御ゲートが積層形成され、浮遊ゲートと基板の間の電荷の授受により電気的書き換えを行うメモリセルが集積形成された不揮発性半導体記憶装置において、前記浮遊ゲートは側面に溝を有し、この側面および溝内面にも第2ゲート絶縁膜が形成され、前記制御ゲートは前記浮遊ゲートの上面、側面および溝内面に対向して配設されていることを特徴とする不揮発性半導体記憶装置。

(2) 前記浮遊ゲートの側面の溝は側面全周に渡って形成されている請求項1記載の不揮発性半導体記憶装置。

(3) 前記浮遊ゲートの側面の溝はセルのチャネル幅方向の側面にのみ形成されている請求項1

記載の不揮発性半導体記憶装置。

(4) 素子分離された半導体基板上に第1ゲート絶縁膜を介して第1層多結晶シリコン膜および絶縁膜を順次堆積して積層体を得る工程と、

得られた積層体のうち絶縁膜を選択エッチングしてゲート領域に微細開口を形成する工程と、

全面に第2層多結晶シリコン膜を堆積し、ゲート領域を覆うマスクを用いて第2層多結晶シリコン膜から第1層多結晶シリコン膜までを選択エッチングし、第1層多結晶シリコン膜と第2層多結晶シリコン膜間に残された絶縁膜をエッチング除去して、側面に溝が形成された浮遊ゲートを形成する工程と、

得られた浮遊ゲートの上面、側面および溝の内面に第2ゲート絶縁膜を形成する工程と、

全面に第3層多結晶シリコン膜を堆積し、これをパターンニングして前記浮遊ゲートの上面、側面および溝内面に対向する制御ゲートを形成する工程と、

を有することを特徴とする不揮発性半導体記憶装

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 29/788	(11) 공개번호 (43) 공개일자	특1997-0018737 1997년04월30일
(21) 출원번호	특1995-0029992	
(22) 출원일자	1995년09월14일	
(71) 출원인	현대전자산업 주식회사 김주용	
(72) 발명자	경기도 이천군 부발읍 아미리 산 136-1 (우 : 467-860) 양태홍	
(74) 대리인	서울특별시 관악구 신림1동 1608-8 최승민, 신영무	

심사청구 : 있음

(54) 플래쉬 메모리를 셀 및 그 제조방법

요약

본 발명에 의하면 플로팅 게이트와 표면적을 증가시킴으로써 플로팅 게이트와 컨트롤 게이트간의 커플링 비를 증가시키기 위해 제1연도프 실리콘층, 도프 실리콘층 및 제2연도프 실리콘층이 순차적으로 형성된다. 상기 도프 실리콘층의 일부가 선택적으로 식각되어 언더컷이 플로팅게이트가 완성된다.

도면

도2

명세서

[발명의 명칭]

플래쉬 메모리를 셀 및 그 제조방법

[도면의 간단한 설명]

제2A도 내지 2C도는 본 발명의 제1실시예에 따른 플래쉬 메모리를 셀의 제조 방법을 설명하기 위한 단면도,

제3도는 본 발명의 제2실시예에 따른 플래쉬 메모리를 셀의 제조 방법을 설명하기 위한 단면도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음.

(57) 청구의 범위

청구항 1. 플래쉬 메모리를 셀의 제조 방법에 있어서, 필드 산화막이 형성된 실리콘 기판상의 액티브 영역에 터널 산화막을 형성하는 단계와, 상기 터널 산화막층을 포함한 전체 구조상에 제1연도프 실리콘층, 도프 실리콘층 및 제2연도프 실리콘층을 순차적으로 형성하는 단계와, 상기 제2연도프 실리콘층, 도프 실리콘층 및 제1연도프 실리콘층을 패터닝 하는 단계와, 상기 도프 실리콘층의 일부를 선택적으로 식각하여 측벽에 언더 컷이 형성된 플로팅 게이트를 형성하는 단계로 이루어진 것을 특징으로 하는 플래쉬 메모리를 셀의 제조방법.

청구항 2. 제1항에 있어서, 상기 플로팅 게이트 제1도프 실리콘층, 연도프 실리콘층 및 제2도프 실리콘층으로 순차적으로 형성되되, 상기 연도프 실리콘층이 돌출되도록 형성된 것을 특징으로 하는 플래쉬 메모리를 셀의 제조방법.

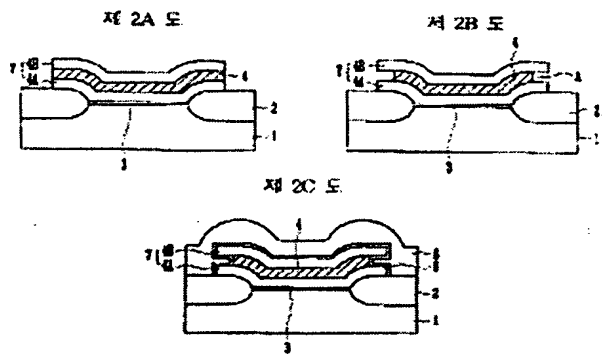
청구항 3. 소오스 영역, 드레인 영역, 플로팅 게이트 및 컨트롤 게이트를 갖는 플래쉬 메모리를 셀에 있어서, 상기 플로팅 게이트가 제1연도프 실리콘층, 도프 실리콘층 및 제2연도프 실리콘층으로 이루어지되 상기 도프 실리콘층에 언더 컷이 형성된 것을 특징으로 하는 플래쉬 메모리를 셀.

청구항 4. 제3항에 있어서, 상기 플로팅 게이트가 제1도프 실리콘층, 연도프 실리콘층 및 제2도프 실리콘층으로 이루어지되, 상기 연도프 실리콘층이 돌출되도록 형성된 것을 특징으로 하는 플래쉬 메모리를 셀.

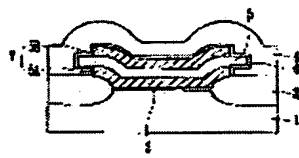
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도 2B



도 2C



置の製造方法。

(5) 素子分離された半導体基板上に第1ゲート絶縁膜を介して第1層多結晶シリコン膜および絶縁膜を順次堆積して積層体を得る工程と、

得られた積層体のうち絶縁膜を選択エッチングしてゲート領域に微細開口を形成する工程と、

全面に第2層多結晶シリコン膜を堆積し、素子領域を覆うマスクを用いて第2層多結晶シリコン膜から第1層多結晶シリコン膜までを選択エッチングして素子分離領域上に浮遊ゲート分離用溝を形成する工程と、

形成された浮遊ゲート分離用溝の側面に露出した第1層多結晶シリコン膜と第2層多結晶シリコン膜間に挟まれている絶縁膜をエッチング除去する工程と、

前記第1層多結晶シリコン膜および第2層多結晶シリコン膜の露出面に第2ゲート絶縁膜を形成した後全面に第3層多結晶シリコン膜を堆積形成する工程と、

堆積された第3層多結晶シリコン膜上にチャネ

ル幅方向に走るストライプ状マスクを形成し、これを用いて第3層多結晶シリコン膜から第2層多結晶シリコン膜および第1層多結晶シリコン膜までを選択エッチングしてチャネル幅方向に連続する制御ゲートとこれに自己整合された浮遊ゲートを分離形成する工程と、

を有することを特徴とする不揮発性半導体記憶装置の製造方法。

3. 発明の詳細な説明

〔発明の目的〕

（産業上の利用分野）

本発明は、浮遊ゲートと制御ゲートを有する書き換え可能なメモリセルを用いた不揮発性半導体記憶装置とその製造方法に関する。

（従来の技術）

不揮発性半導体記憶装置として、浮遊ゲートと制御ゲートを持つMOSトランジスタ構造のメモリセルを用いたものが知られている。そのなかで電氣的書き換えを可能としたものは、EEPROMとして知られている。

のような問題がある。

第10図は、FETMOS型メモリセルの容量関係を示している。図示のようにこのメモリセルは、主として制御ゲートと浮遊ゲート間の容量 C_{cc} 、浮遊ゲートと基板間の容量 C_{ch} 、浮遊ゲートとソース、ドレイン間の容量 C_{ds} を有している。いま、浮遊ゲートに基板から電子を注入するため、制御ゲートに正の高電圧を印加する場合を考える。簡単のため浮遊ゲートに電荷がないとして、基板を零電位、制御ゲートに与えられる電位を V_{cc} とすると、浮遊ゲートの電位 V_{fc} は、

$$V_{fc} = C_{cc} \cdot V_{cc} / (C_{ds} + C_{ch} + C_{cc})$$

となる。この式から明らかなように、容量結合比 $C_{cc} / (C_{ds} + C_{ch} + C_{cc})$

の値が大きい程、浮遊ゲートの電位 V_{fc} は高いものとなる。すなわち、制御ゲートに与える電位 V_{cc} を小さくして効率よく書き込みを行うためには、上述の容量比をできるだけ大きいものとすることが望ましい。ところが現在実用化されている微細化されたFETMOS型メモリセルにおいて

第9図は、従来のEEPROMのメモリセルの一つであるFETMOS型メモリセルの構造を示す。(a)は平面図であり、(b)(c)はそれぞれ(a)のA-A'およびB-B'断面図である。p型シリコン基板31に素子分離絶縁膜32が形成され、その下にはチャネルストッパとしてp⁺型層33が形成されている。この様な素子分離された基板のチャネル領域全面にトンネル電流が流れ得る薄い第1ゲート絶縁膜34が形成され、この上に浮遊ゲート35が形成され、この上に更に第2ゲート絶縁膜36を介して制御ゲート37が形成されている。浮遊ゲート35と制御ゲート37とは、チャネル長方向には同じマスクを用いて連続的にエッチングすることによりそのエッジが揃えられる。そしてこれらの積層ゲートをマスクとして不純物をイオン注入してソース、ドレインとなるn⁺型層38、39が形成されている。

このFETMOS型メモリセルは、制御ゲート、浮遊ゲートおよびソース、ドレインが自己整合されて形成されるため、微細化が可能であるが、次

は、上述の容量比は1/2程度であり、書き込みを行うためには制御ゲートに約20Vという高電圧を印加することが必要である。浮遊ゲートと制御ゲート間の結合容量を大きくするため、第9図(a)(b)にも示されるように通常、浮遊ゲートは素子分離絶縁膜上にまで一部延在するようにパターン形成される。しかしメモリセルを高密度に集積するためには、それ程素子分離領域に延ばすことはできず、したがってこの方法で浮遊ゲートと制御ゲート間の結合容量を大きくすることには限界がある。そして制御ゲートに20Vという高電圧を必要とするために、素子分離耐圧および周辺回路の素子分離耐圧にも20V以上が要求され、その結果メモリセルを例えばサブ μm の寸法で加工しても、素子分離領域に数 μm を必要とし、これがメモリアレイ全体としての高集積化を妨げる原因となっている。また、20Vという高電圧を必要とするために、周辺回路のMOSトランジスタや選択ゲートの信頼性にも問題がある。さらにEEPROMについて、これまで広く用いられて

いる紫外線消去型EPROMの使用電圧(5V, 12.5V)とのコンパチビリティがあることが利用者にとっては望ましいのであるが、これもない。

(発明が解決しようとする課題)

以上のように従来のFETMOS型メモリセルは、書き込みに高電圧を必要とするために高集積化が難しく、また信頼性上も問題があった。

本発明は、効果的に浮遊ゲートと制御ゲート間の結合容量を大きくしてこの様な問題を解決した不揮発性半導体記憶装置とその製造方法を提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

本発明に係る不揮発性半導体記憶装置のメモリセルは、半導体基板上に第1ゲート絶縁膜を介して形成される浮遊ゲートを側面に溝が形成された状態とし、第2ゲート絶縁膜は浮遊ゲートの上面、側面およびその溝の内面にも形成され、制御ゲートは浮遊ゲートの上面のみならず、側面およ

び溝の内面にも対向するように形成されていることを特徴とする。浮遊ゲートの側面の溝は全周に渡って形成されてもよいし、部分的に例えばセルのチャネル幅方向の側面のみに形成されてもよい。

本発明の方法はこの様な不揮発性半導体記憶装置を製造するに当たって、まず素子分離された基板上に第1ゲート絶縁膜を介して第1層多結晶シリコン膜と絶縁膜の積層体を形成し、この積層体の絶縁膜を選択エッチングしてゲート領域に微細開口を形成する。そしてこの開口を介して第1層多結晶シリコン膜とコンタクトする第2層多結晶シリコン膜を堆積し、ゲート領域を覆うマスクを用いて第2層多結晶シリコン膜から第1層多結晶シリコン膜までを選択エッチングして浮遊ゲートを分離形成する。そして浮遊ゲートの側面に露出した第1層多結晶シリコン膜と第2層多結晶シリコン膜間に挟まれている絶縁膜をエッチング除去することにより、浮遊ゲートの側面に溝を形成する。その後浮遊ゲートの上面、側面および溝内面に第2ゲート絶縁膜を形成した後、第3層多結晶

シリコン膜を堆積し、これをパターンニングして制御ゲートを形成する。

本発明の別の方法では、浮遊ゲートと制御ゲートを自己整合させて形成する。そのために第1層多結晶シリコン膜と絶縁膜の積層体を形成した後、まずその絶縁膜に開ける開口をゲート領域に微細開口開け、次に第2層多結晶シリコン膜を堆積形成した後、素子分離領域上に第2層多結晶シリコン膜から第1層多結晶シリコン膜まで貫通する、チャネル長方向に走るストライプ状の浮遊ゲート分離用溝を形成する。そして浮遊ゲート分離用溝に露出した絶縁膜を除去した後、第1層多結晶シリコン膜および第2層多結晶シリコン膜の露出面に第2ゲート絶縁膜を形成する。その後第3層多結晶シリコン膜を堆積し、ゲート領域をチャネル幅方向にストライプ状に走るマスクで覆い、これを用いて第3層多結晶シリコン膜から第1層多結晶シリコン膜までエッチングして制御ゲートおよび浮遊ゲートを分離形成する。

(作用)

本発明によれば、浮遊ゲートの側面に溝が切り込まれて、制御ゲートは浮遊ゲートの上面から側面そして側面の溝内面にも対向する状態で形成されるから、制御ゲートと浮遊ゲート間の結合容量を大きいものとすることができる。これにより、書き込み或いは消去時に制御ゲートに印加する制御電位を低くすることができ、素子分離領域の縮小などにより高集積化を実現することができる。また周辺回路を含めて記憶装置の信頼性向上が図られる。EEPROMを構成した場合に、紫外線消去型EEPROMとの使用電源のコンパチビリティも実現できる。

本発明の方法によれば、側面に溝が形成された状態の浮遊ゲートを得る工程として、第1層多結晶シリコン膜と絶縁膜の積層体を形成し、絶縁膜に微細開口を開けて第2層多結晶シリコン膜を堆積し、その後第2層多結晶シリコン膜から第1層多結晶シリコン膜まで貫通するエッチングを行って側面に露出した絶縁膜をエッチング除去する、

る。浮遊ゲート5の上面、側面および溝10の内面全体に渡って第2ゲート絶縁膜6が形成されている。制御ゲート7はこの浮遊ゲート5の上面に対向するのみならず、側面およびここに形成された溝10の内面にも対向するように形成されている。これらゲート領域を挟んで基板にはドレインソースとなる n^+ 型拡散層8、9が形成されている。図では、一つのメモリセル部のみ示しているが、このようなメモリセルが多数配列形成されてメモリセルアレイを構成している。浮遊ゲート5は各メモリセル毎に独立であり、制御ゲート7は通常一方のメモリセルに共通に連続的に配設されてワード線を構成する。

第2図(a)～(f)および第3図(a)～(f)は、この実施例のメモリセルの製造工程を示す、それぞれ第1図(b)、(c)に対応する断面図である。これらの図を参照して具体的な製造工程を説明すると、まずp型シリコン基板1に通常のLOCOS法を用いて素子分離絶縁膜2を形成する。素子分離絶縁膜2の下には、チャンネルストッ

という工程を用いている。したがって、各層の膜厚および絶縁膜に開ける開口の寸法によって側面の溝形状や深さを任意に制御性よく設定することができる。これにより、小さい面積の浮遊ゲートであっても、制御ゲートと浮遊ゲートとの結合面積の増大を図り、上述のような優れた利点を有するメモリセルを得ることができる。

(実施例)

以下本発明の実施例を説明する。

第1図は一実施例のEEPROMのFETMOS型メモリセルの構造を示す。(a)は平面図であり、(b)(c)はそれぞれ(a)のA-A'およびB-B'断面図である。p型シリコン基板1の素子分離領域には厚い素子分離絶縁膜2が形成され、その下にはチャンネルストップとして p^+ 型層3が形成されている。素子分離された基板領域にトンネル電流が流れ得る薄い第1ゲート絶縁膜4が形成され、この上に浮遊ゲート5が形成されている。浮遊ゲート5は、その側面全周に溝10が切り込まれて、フィン状に加工されてい

ばとなる p^+ 型層3を形成する。こうして素子分離された基板に、必要ならチャンネル部にイオン注入を行った後、熱酸化によって50～100Å程度の第1ゲート絶縁膜4を形成する(第2図(a)、第3図(a))。次に、全面に浮遊ゲートの一部となる第1層多結晶シリコン膜5₁を200nm程度堆積し、これにリンまたは砒素などの不純物をドーピングした後、CVD法により100nm程度のシリコン酸化膜などの絶縁膜11を堆積形成する(第2図(b)、第3図(b))。

その後、PEP工程と反応性イオンエッチング法によって絶縁膜11を選択エッチングして、セルのゲート領域に位置する微細な開口を開ける(第2図(c)、第3図(c))。そして第2層多結晶シリコン膜5₂を400nm程度堆積し、これにも第1層と同様に不純物をドーピングする(第2図(d)、第3図(d))。第2層多結晶シリコン膜5₂は絶縁膜11に開けられた開口を介して第1層多結晶シリコン膜5₁とコンタクトする。

次に第2層多結晶シリコン膜5₂、その下の絶

絶縁膜11、およびその下の第1層多結晶シリコン膜5₁の積層体を、PEP工程と反応性イオンエッチングによってゲート領域に残すようにパターンニングして浮遊ゲート5を得る。浮遊ゲート5の側面に露出した絶縁膜11は、弗化フッ素を用いてエッチング除去して、側面に溝10が形成された状態を得る(第2図(e)、第3図(e))。こうして側面に溝10が形成された浮遊ゲート5の表面全面に第2ゲート絶縁膜6を形成する。そして第3層多結晶シリコン膜を堆積し、これをパターンニングして制御ゲート7を形成する。第2ゲート絶縁膜6は耐圧を考慮して酸化膜-窒化膜-酸化膜の三重層とすることが望ましい。具体的には例えば、950℃の水蒸気雰囲気中で30分酸化し、その上にCVDにより10nm程度のシリコン窒化膜を堆積した後、さらに950℃の水蒸気雰囲気中で30分の熱酸化を行う。多結晶シリコン膜堆積にプラズマCVDを用いれば、制御ゲート7は浮遊ゲート5の側面の溝10内にも回り込み、浮遊ゲート5の上面、側面および溝10の内

面に対向する状態に形成される。そしてこの後これらのゲートをマスクとして基板に不純物をイオン注入してドレイン、ソース拡散層8、9を形成する(第2図(f)、第3図(f))。なおこれらの拡散層8、9は第2図(e)、第3図(e)の浮遊ゲート5をパターン形成した後に形成してもよい。

最後に、図示しないが制御ゲート7をマスクとして不要な第2ゲート絶縁膜を除去し、全面にCVDにより層間絶縁膜を堆積形成したのち、コンタクト孔を開けてビット線などの金属配線を形成して、EEPROMメモリエレイが完成する。

この実施例によれば、浮遊ゲート5はフィン状をなして形成されており、制御ゲート7はその側面の溝内にも埋め込まれる。このため、従来構造に比べて浮遊ゲートと制御ゲートの対向面積が大きくなり、これらの間の結合容量が大きくなる。したがって、制御ゲートに対して従来に比べて低い電圧を印加して電氣的書き替えを行うことが可能になり、メモリエレイの高集積化および信頼性の

向上が図られる。

またこの実施例の方法では、PEP工程などの少ない比較的簡単な工程で浮遊ゲートの側面に溝を形成することができ、効果的に浮遊ゲートと制御ゲートの結合容量の大きい状態を実現することができる。

第4図(a)(b)(c)は他の実施例のEEPROMのメモリエレイ構造を示す平面図とそのA-A'およびB-B'断面図である。第1図と対応する部分には第1図と同一符号を付して詳細な説明は省略する。第1図と比較して明らかにこの実施例では、浮遊ゲート5がセルのチャネル幅方向の側面にのみ溝10が形成された状態としている。この構造は、浮遊ゲートのチャネル長方向のパターンニングを制御ゲートと同時にやって両者を自己整合させる場合に有効である。

第5図(a)~(f)および第6図(a)~(f)は、この実施例のメモリエレイの製造工程断面図である。簡単にその製造工程を説明すると、まず先の実施例と同様にして素子分離された基板に第1ゲート

絶縁膜4を形成し(第5図(a)、第6図(a))、次に、全面に第1層多結晶シリコン膜5₁を堆積し、続いて絶縁膜11を堆積形成する(第5図(b)、第6図(b))。次に絶縁膜11を選択エッチングして開口を開ける(第5図(c)、第6図(c))。このとき開口は、チャネル長方向には少くとも浮遊ゲートのゲート長より長いもの、例えば複数のメモリエレイに渡って連続するストライプ状とする。次に先の実施例と同様に第2層多結晶シリコン膜5₂を堆積形成する(第5図(d)、第6図(d))。その後素子分離領域上に開口を有するマスクを用いて、第2層多結晶シリコン膜5₂、絶縁膜11および第1層多結晶シリコン膜5₁を選択エッチングして、浮遊ゲート分離用溝を形成する。この分離用溝に露出した絶縁膜11は弗化アンモニウムによってエッチング除去する(第5図(e)、第6図(e))。これにより、後に分離されて別々になる浮遊ゲートのチャネル幅方向の側面にのみ溝10が形成された状態が得られる。

この後先の実施例と同様に第2ゲート絶縁膜6を形成し、第3層多結晶シリコン膜を堆積形成する。そして、チャネル幅方向に連続するストライプ状マスクを用いて、第3層多結晶シリコン膜から第1層多結晶シリコン膜までを選択エッチングして、チャネル幅方向に連続してワード線となる制御ゲート7と、これとチャネル長方向が自己整合されてセル毎に分離された浮遊ゲート5を得る。最後にソース、ドレイン拡散層8、9を形成してメモリセルが完成する(第5図(f)、第6図(f))。

なおこの実施例において、絶縁膜11に開口を開ける第5図(c)、第6図(c)の工程で、この開口を複数のセルに渡って連続するストライプ状とすることは必ずしも必要ではない。例えばセル毎に独立の開口であってもよい。その開口のチャネル長方向の大きさも、任意である。実施例ではこの開口をチャネル長より大きくしており、したがって第6図(c)～(f)から明らかなように浮遊ゲート5のチャネル長方向の側面には溝が形成され

ないが、チャネル長より小さい開口を開けた場合には、先の実施例と同様に浮遊ゲート5のチャネル長方向にも溝が形成される。その場合には、先の実施例とは浮遊ゲートのチャネル方向の分離工程が異なるだけで、結果的に先の実施例と同様の構造が得られる。

この実施例によっても、先の実施例と同様の効果が得られる。

以上の実施例では、浮遊ゲートの側面に設ける溝を一条のみとしたが、複数条の溝を設けることもできる。

第7図(a)(b)はその様な実施例のメモリセル構造を示す断面図であり、それぞれ第1図(b)(c)に対応する。やはり先の実施例と対応する部分には同一符号を付してある。この実施例では、浮遊ゲート5の側面に設けられる溝10を二条としている。さらに多数の溝を形成することが可能であり、これにより制御ゲートと浮遊ゲートの結合容量を一層大きいものとすることができる。

本発明によるEEPROMは、ワード線に接続

される複数のメモリセルがそれぞれ異なるビット線に接続されるNOR型の場合は勿論、複数のメモリセルをNAND型に直列接続してビット線に接続する方式の場合にも適用できる。

第8図はNAND型としたEEPROMに本発明を適用した場合の一つのNANDセル部の断面構造を示す。ここでは8個のメモリセルM1～M8をソース、ドレインを隣接するもので共用して直列接続して一つのNANDセルを構成した例を示している。各メモリセルは例えば第1図の実施例により得られるものと同じ構造である。NANDセルの両端部には、選択ゲート21、22が設けられ、その外側にNANDセルのドレイン、ソースとなる n^+ 拡散層23、24が形成されている。全体はCVD絶縁膜25で覆われ、これにコンタクト孔が開けられてA1によるビット線26が配設されている。

本発明は上記した実施例に限られるものではなく、その趣旨を逸脱しない範囲で種々変形して実施することが可能である。

【発明の効果】

以上述べたように本発明によれば、微細構造であっても効果的に浮遊ゲートと制御ゲートの結合容量を大きくして、書替え時に制御ゲートに印加する電位を下げることを可能とし、もって高集積化して信頼性向上を図った不揮発性半導体記憶装置を得ることができる。

4. 図面の簡単な説明

第1図(a)(b)(c)は本発明の一実施例によるEEPROMのメモリセル構造を示す平面図と断面図、

第2図(a)～(f)はその具体的な製造工程を示す第1図(b)に対応する断面図、

第3図(a)～(f)は同じくその具体的な製造工程を示す第1図(c)に対応する断面図、

第4図(a)(b)(c)は他の実施例によるEEPROMのメモリセル構造を示す平面図と断面図、

第5図(a)～(f)はその具体的な製造工程を示す第4図(b)に対応する断面図、

第6図(a)～(f)は同じくその具体的な製造工程を示す第4図(c)に対応する断面図、

第7図(a)(b)はさらに他の実施例によるEEPROMのメモリセル構造を示す断面図、

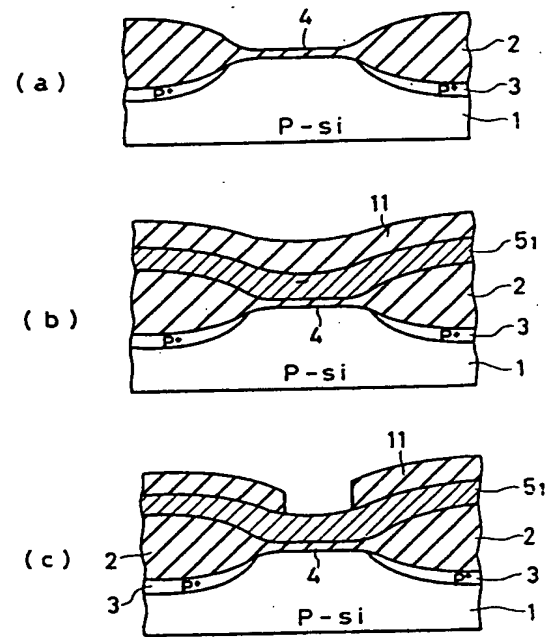
第8図は本発明をNANDセル型EEPROMに適用した実施例のNANDセル部の構造を示す断面図、

第9図(a)(b)(c)は従来のEEPROMのメモリセル構造を示す平面図とその断面図、

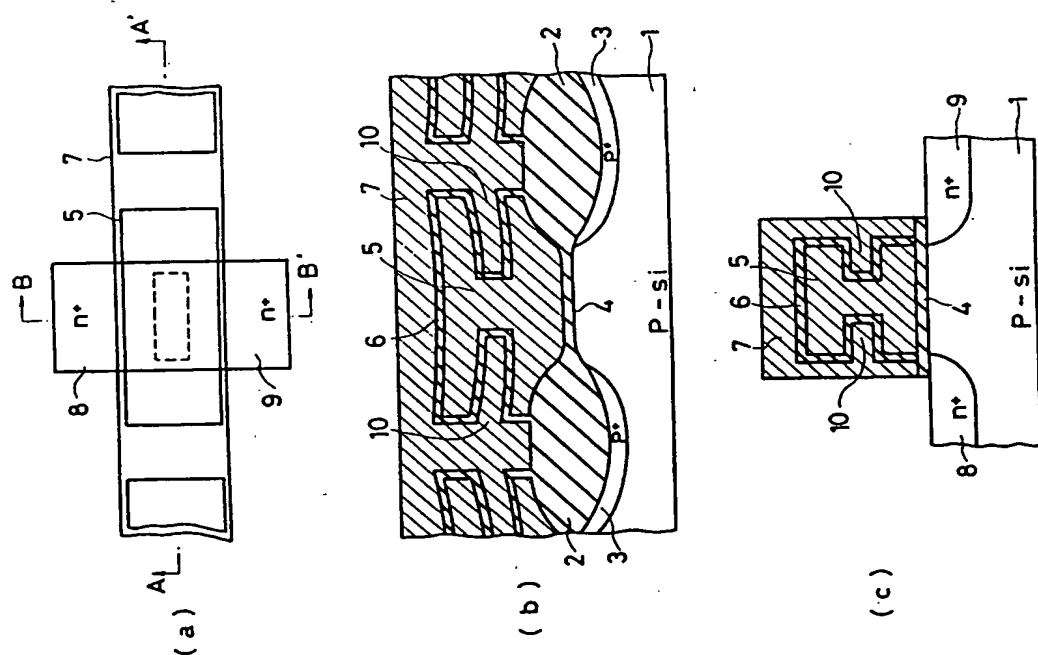
第10図は従来のメモリセルの問題を説明するための容量関係を示す図である。

1…p型シリコン基板、2…素子分離絶縁膜、3…p⁺型層、4…第1ゲート絶縁膜、5…浮遊ゲート、5₁…第1層多結晶シリコン膜、5₂…第2層多結晶シリコン膜、6…第2ゲート絶縁膜、7…制御ゲート、8、9…n⁺型拡散層、10…溝、11…絶縁膜。

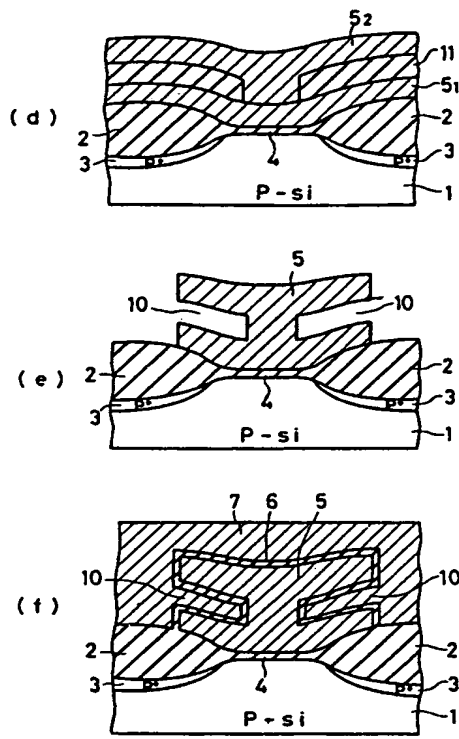
出願人代理人 弁理士 鈴江武彦



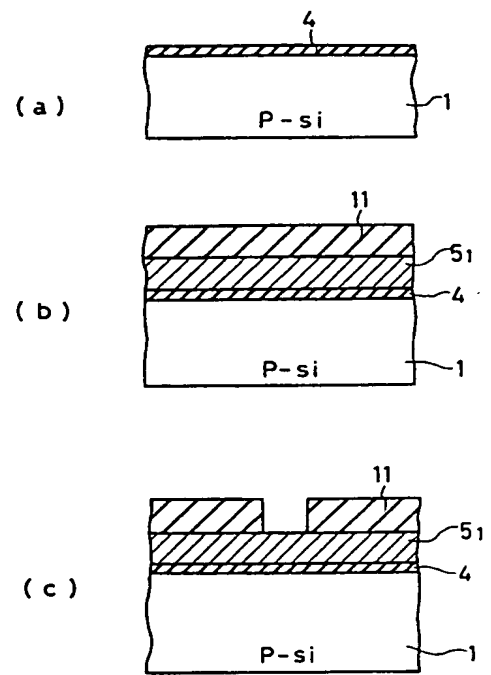
第2図



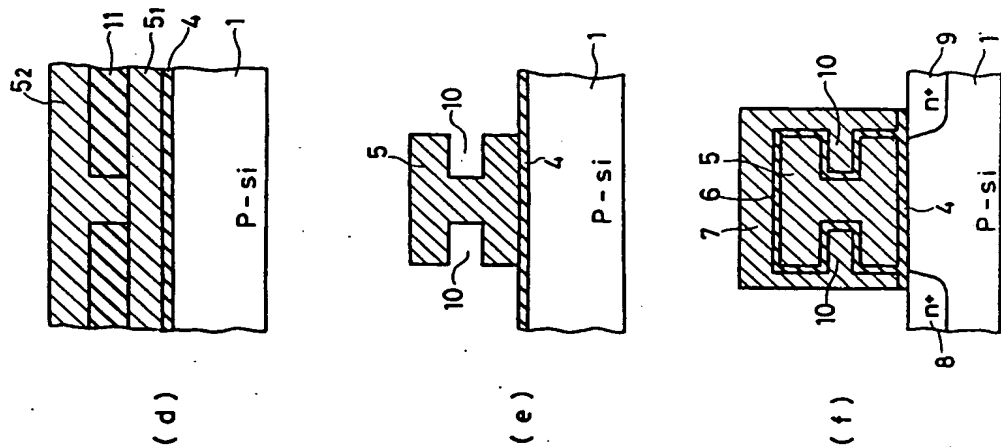
第1図



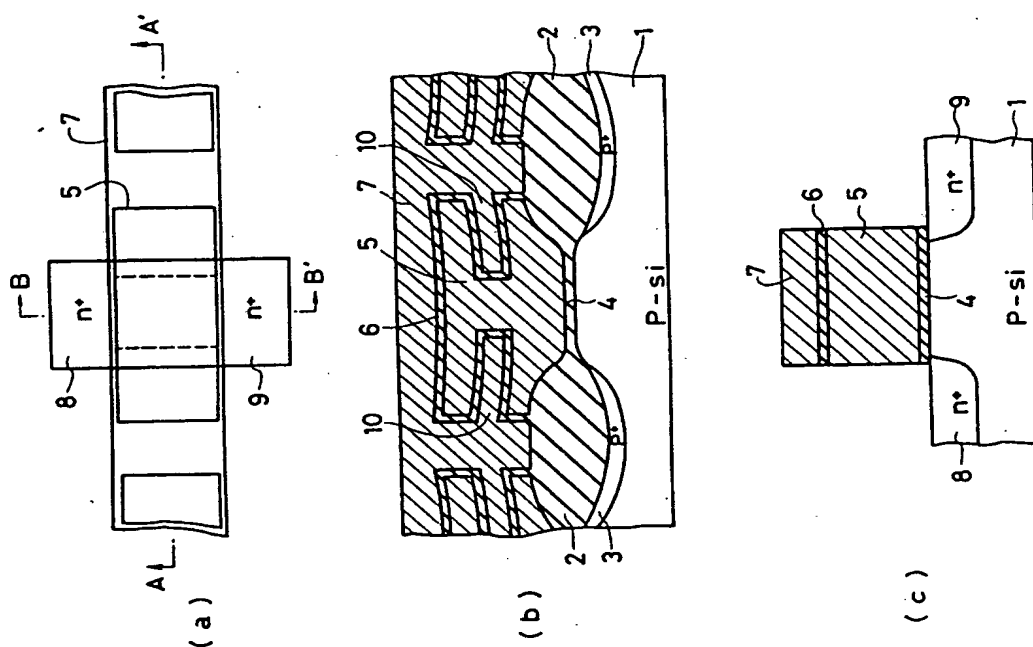
第 2 図



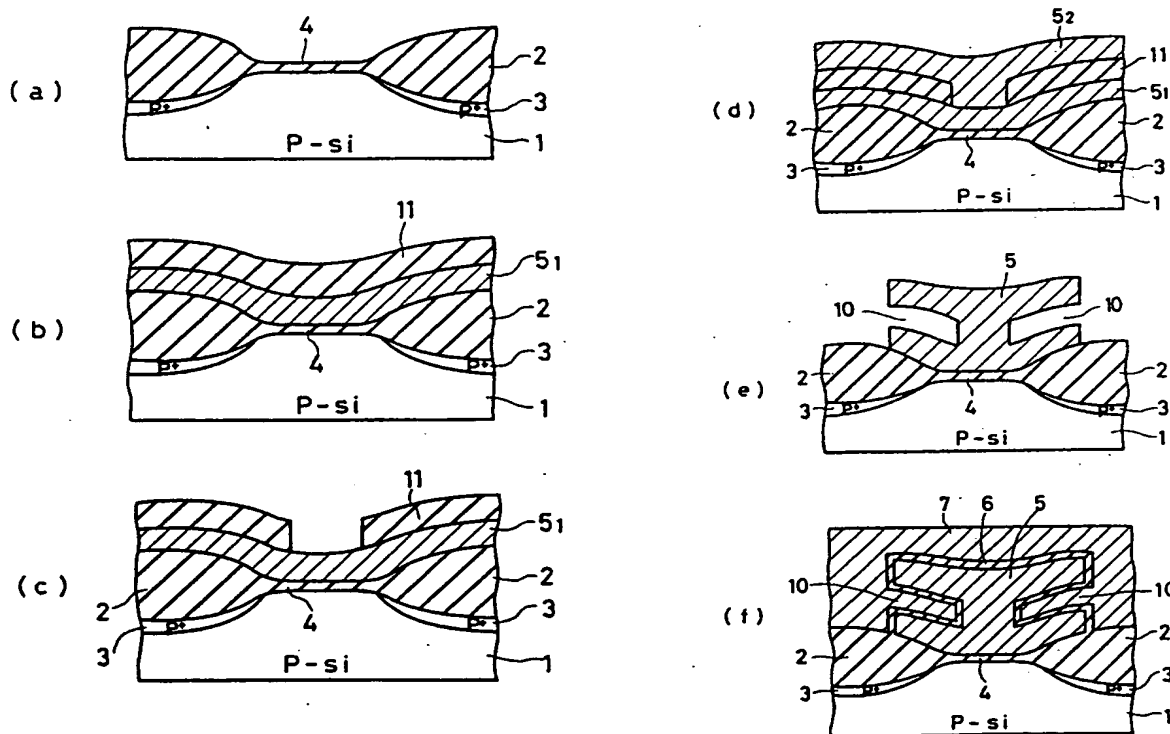
第 3 図



第 3 図

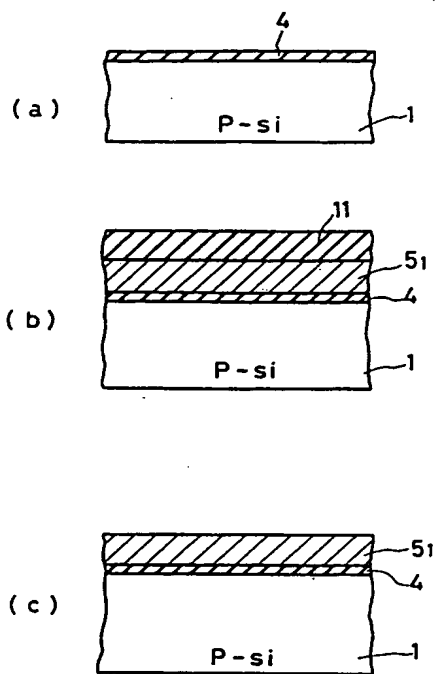


第 4 図

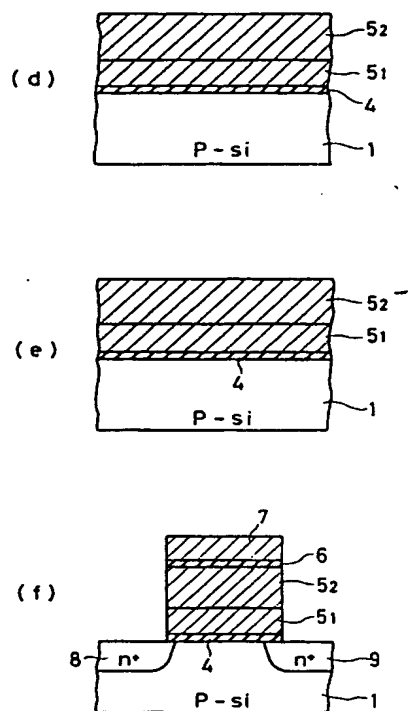


第 5 図

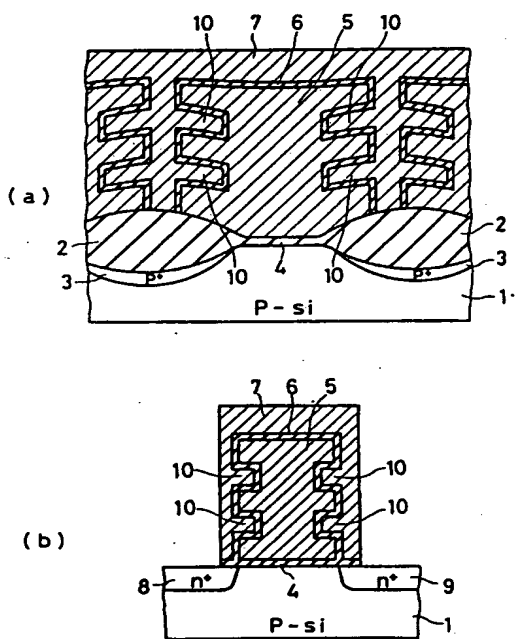
第 5 図



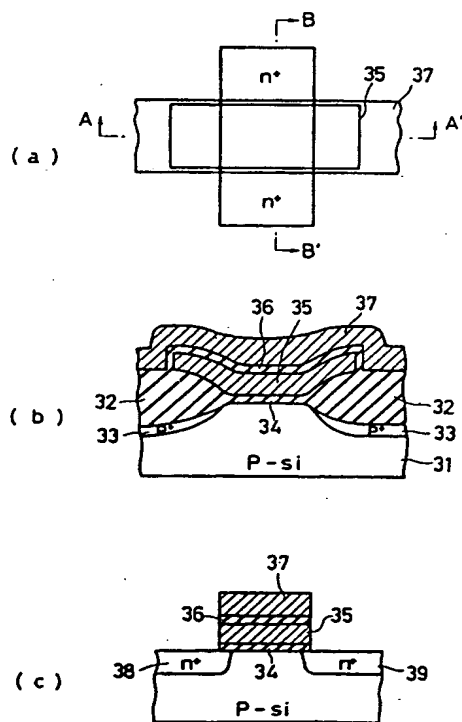
第 6 図



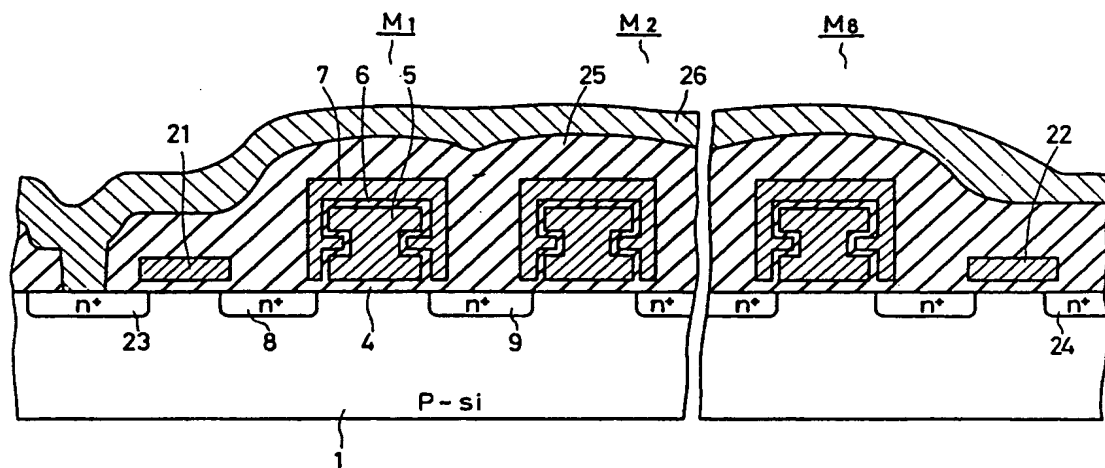
第 6 図



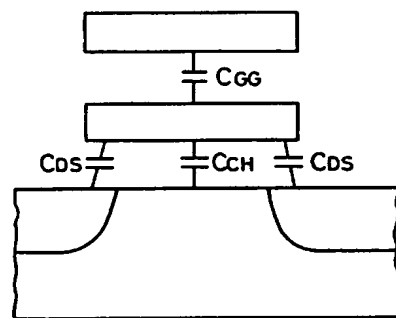
第 7 図



第 9 図



第 8 図



第 10 図